

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-280025

(43)Date of publication of application : 22.10.1996

(51)Int.Cl.

H04N 7/32  
H04N 5/907  
H04N 5/92  
H04N 5/937  
H04N 11/04

(21)Application number : 07-082999

(71)Applicant : SONY CORP

(22)Date of filing : 07.04.1995

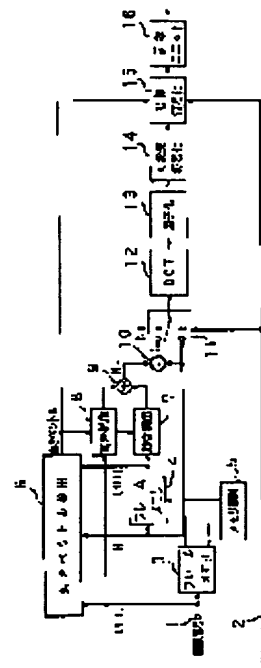
(72)Inventor : MIYAZAWA TOMOJI

## (54) IMAGE SIGNAL ENCODER AND IMAGE SIGNAL DECODER

(57)Abstract:

PURPOSE: To improve efficiency for using a data bus by fixing the burst length of a storage means, storing plural kinds of image signals on the same row address while making column addresses different, and providing a memory control means for outputting a read command and successively designating the switching of plural column addresses.

CONSTITUTION: Plural kinds of image information are stored on the same row address while fixing the burst length of the storage means composed of a synchronous DRAM. Then, after the row address is designated by an active command, the read command is outputted plural times, the plural column addresses are successively switched and designated, and the image signals on the different column addresses are read out. Namely, the image signal for each frame is sent to frame memories 3 and 4 composed of SDRAM to be controlled by a memory control circuit 5. Then, the column address to read the frame memories 3 and 4 is switched for every two clocks and the data of a macro block to be read are sent to motion compensation circuits 7 and 8.



## LEGAL STATUS

[Date of request for examination]

29.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Date of extinction of right]



## 【特許請求の範囲】

【請求項1】 画像信号をシンクロナスDRAMから成る記憶手段に書き込み、この書き込まれた画像信号を読み出して圧縮符号化を行う画像信号符号化装置において、

上記記憶手段のバースト長を固定し、同一ロウアドレス上に複数種類の画像信号をカラムアドレスを異ならせて記憶させ、アクティブコマンドで上記ロウアドレスを指定した状態で、リードコマンドを複数出力して複数のカラムアドレスを順次切り換え指定するメモリ制御手段を有することを特徴とする画像信号符号化装置。

【請求項2】 上記記憶手段は、動きベクトル検出及び動き補償の信号処理を行う際に用いられるフレームメモリであることを特徴とする請求項1記載の画像信号符号化装置。

【請求項3】 伸長復号化された画像データをシンクロナスDRAMから成る記憶手段に書き込んで出力する画像信号復号化装置において、

上記記憶手段のバースト長を固定し、同一ロウアドレス上に複数種類の画像信号をカラムアドレスを異ならせて記憶させ、アクティブコマンドで上記ロウアドレスを指定した状態で、リードコマンドを複数出力して複数のカラムアドレスを順次切り換え指定するメモリ制御手段を有することを特徴とする画像信号復号化装置。

【請求項4】 上記記憶手段は、動きベクトル検出及び動き補償の信号処理を行う際に用いられるフレームメモリであることを特徴とする請求項3記載の画像信号復号化装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、同期型DRAM（Synchronous DRAM）をフレームメモリに用いた画像信号符号化装置及び画像信号復号化装置に関する。

## 【0002】

【従来の技術】従来、画像信号符号化装置及び画像信号復号化装置においては、画像信号をフレーム毎に記憶しておくフレームメモリを有する。

【0003】このフレームメモリに用いる半導体メモリとして、大容量で低価格な揮発性の読み出し／書き込みメモリであるダイナミックRAM（以下、DRAMという）を用いた場合には、動作速度が高速ではないので問題がある。また、不揮発性のスタティックRAMは、動作速度は速いが、記憶容量が小さいという問題がある。

【0004】よって、高速に連続アクセスを行うことができる同期型DRAMいわゆるシンクロナスDRAM（Synchronous DRAM：以下、SDRAMという）を用いることが考えられている。

【0005】このSDRAMは、JEDEC（Joint Electron Device Engineering Council）準拠の、入力されたクロック信号の立ち上がりエッジに同期して高速バ

ースト転送を行うDRAMである。このバースト転送とは、同一のロウアドレス上のデータを2、4、又は8の複数ワードのブロック単位で連続してリード／ライトを行う方式である。このリード／ライトのワード数をバースト長又はバーストレンジという。

【0006】また、このSDRAMは2つのバンクを兼ね備えていることから、ロウアドレスを変更しながらのアクセス時間は、プリチャージの必要性により、通常のDRAMのアクセス時間と同等ではあるが、バンクを交互にアクセスすることによって、一方のバンクのプリチャージ中に他方のバンクのデータのライトあるいはリードを行うことができる。

【0007】但し、ロウアドレスを切り換えながらデータを連続してライト又はリードするためには、カラムアドレスを与えた後にライトあるいはリードするクロック数を8以上に設定する必要がある。

【0008】ここで、例えばランダムロウリード時のタイミングチャートを図5に示し、SDRAMの動作について説明する。

【0009】尚、バースト長は8に設定されており、バンクA、Bの2つのバンクを切り換えている。

【0010】先ず、バンクBのためのアクティブコマンドR B aが出力された後にリードコマンドC B aが出力される。これにより、このリードコマンドC B aの出力の一定時間後、具体的には3クロック後にバンクBのデータの読み出しQ B a<sub>1</sub>～Q B a<sub>8</sub>が順次行われる。

【0011】また、このバンクBのデータの読み出しが行われている間に、バンクAのアクティブコマンドR A aが出力された後にリードコマンドC A aが出力される。これにより、上記バンクBのデータの読み出しQ B a<sub>8</sub>に続けてバンクAのデータの読み出しQ A a<sub>1</sub>～Q A a<sub>8</sub>が順次行われる。

【0012】上述のように、SDRAMにおいてバースト長が8であるということは、連続した8アドレス分のデータがライトあるいはリードされるということであり、連続したアドレス上のデータをライトあるいはリードする場合には、SDRAMのデータバスの使用効率は高い。

【0013】また、SDRAMを高速でアクセスするためには、リードコマンドからデータが出力されるまでのクロック数を3に設定する必要がある。これは、カラムアドレス・ストロブ（Column Address Strobe：以下、CASという）の入力からデータ出力までの遅れ時間をクロック数で表現した値であり、CASレイテンシ（CAS Latency）と呼ばれる。

【0014】図6には、CASレイテンシとコマンドとのタイミングを示す。ここで、バースト長は4としている。

【0015】例えば、動作クロックが25～50MHzのときにはCASレイテンシを1とし、動作クロックが

50~66MHzのときにはCASレイテンシを2とし、動作クロックが66MHz以上のときにはCASレイテンシを3とする。CASレイテンシが1の場合には、図6のAに示すように、クロック $T_1$ でライトコマンドWAが出力され、これに続けてクロック $T_2$ でリードコマンドRBが出力されたときには、データ $DA_1$ が書き込まれて1クロック間隔をおいた後にデータのリード $QB_1$ 、 $QB_2$ 、 $QB_3$ 、 $QB_4$ が行われる。また、CASレイテンシが2の場合には、図6のBに示すように、データ $DA_1$ が書き込まれて2クロック間隔をおいた後にデータのリード $QB_1$ 、 $QB_2$ 、 $QB_3$ 、 $QB_4$ が行われる。また、CASレイテンシが3の場合には、図6のCに示すように、データ $DA_1$ が書き込まれて3クロック間隔をおいた後にデータのリード $QB_1$ 、 $QB_2$ 、 $QB_3$ 、 $QB_4$ が行われる。

【0016】

【発明が解決しようとする課題】ところで、このSDRAMを画像信号符号化装置及び画像信号復号化装置のフレームメモリに用い、このSDRAMのバースト長を8に設定しておき、連続したアドレスの一部のデータをリードしたいときには、アドレスが連続しているために不要なデータもリードしてしまうことになる。

【0017】例えば、動画画像の圧縮符号化においては、離散コサイン変換（以下、DCTという）処理を行うときには、 $8 \times 8$ 画素のサブブロックを用いる。具体的には、図7に示すように、4個の輝度信号DCTブロック $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $Y_4$ 、2個の色差信号DCTブロック $Cr_1$ 、 $Cr_2$ 、及び2個の色差信号DCTブロック $Cb_1$ 、 $Cb_2$ から成る、合計512バイトの8個のDCTブロックを用いる。これらのDCTブロックを複数集めた $16 \times 16$ 画素のブロックをマクロブロックという。画面上での大きさは、輝度信号Yと色差信号 $Cr$ 、 $Cb$ とが重なり合うので $16 \times 16$ となる。

【0018】そこで、図8に示すように、SDRAMのバンク0、1にそれぞれ同一ロウアドレス上のマクロブロックのデータを読み込む。同一のマクロブロックのデータは同一のロウアドレスに記録されるほうがロウアドレスの制御が少なく信号処理が簡単となる。

【0019】このように、マクロブロックのデータが記録された後に動き補償を行う場合に、動きベクトルがマクロブロックサイズの整数倍のときには、選択されたマクロブロックのデータをそのままフレームメモリからリードすれば良い。

【0020】しかし、動きベクトルがマクロブロックサイズの整数倍の値を取らない場合には、複数のマクロブロックにまたがったデータをリードする必要がある。

【0021】ここで、SDRAMにおけるバースト長が8に設定されているときには、常に $8 \times 8$ のDCTブロック単位でしかデータをリードすることができないので、不要なデータを非常に多く読み込むことになる。例

えば、動きベクトルを整数とし、この動きベクトルが $(X, Y) = (2, 2)$ である場合に、図9に示すように、輝度信号Yのマクロブロックを読み出すときには、 $(24 \times 24) / (16 \times 16) = 9/4$ 倍のデータのバースト転送を必要とする。これは、色差信号 $Cr$ 、 $Cb$ のマクロブロックについても同様である。

【0022】一方、バースト長を8以下に切り換えた場合には、コマンドを送るのに数クロック分必要となり、コマンドを送っている間はデータ転送を行うことはできなくなる。

【0023】そこで、本発明は上述の実情に鑑み、8以下の少ない単位でSDRAMにアクセスしたい場合に、データバスの使用効率を下げることなく、必要なデータのみにアクセスすることができる画像信号符号化装置及び画像信号復号化装置を提供するものである。

【0024】

【課題を解決するための手段】本発明に係る画像信号符号化装置は、記憶手段のバースト長を固定し、同一ロウアドレス上に複数種類の画像信号をカラムアドレスを異ならせて記憶させ、アクティブコマンドで上記ロウアドレスを指定した状態で、リードコマンドを複数出力して複数のカラムアドレスを順次切り換え指定するメモリ制御手段を有することにより上述した課題を解決する。

【0025】また、本発明に係る画像信号復号化装置は、記憶手段のバースト長を固定し、同一ロウアドレス上に複数種類の画像信号をカラムアドレスを異ならせて記憶させ、アクティブコマンドで上記ロウアドレスを指定した状態で、リードコマンドを複数出力して、複数のカラムアドレスを順次切り換え指定するメモリ制御手段を有することにより上述した課題を解決する。

【0026】

【作用】本発明においては、シンクロナスDRAMから成る記憶手段のバースト長を固定にして、同一のロウアドレス上に複数種類の画像信号を記憶させ、アクティブコマンドで上記ロウアドレスを指定した後に、複数回、リードコマンドを出力して複数のカラムアドレスを順次切り換え指定して、異なるカラムアドレスの画像信号を読み出す。

【0027】

【実施例】以下、本発明の好ましい実施例について、図面を参照しながら説明する。図1には、本発明に係る画像信号符号化装置の概略的な構成を示し、図2には、本発明に係る画像信号復号化装置の概略的な構成を示す。

【0028】図1の実施例で示す画像信号符号化装置では、時間方向の相関を利用した画像圧縮符号化処理を行い、この圧縮された画像のデータを記録媒体として例えばテープに記録する。また、図2の実施例で示す画像信号復号化装置では、この記録された画像データを読み出して画像伸長復号化処理を行い、画像信号として出力する。

【0029】尚、画像信号の時間方向の相関を利用した高能率符号化方式としてMPEG (Moving Picture Experts Group) 方式があり、このMPEG方式においては、各フレームの画像を、Iピクチャ (Intra Picture: 画像内符号化又はイントラ符号化画像)、Pピクチャ (Predictive Picture: 前方予測符号化画像)、及びBピクチャ (Bidirectionally predictive Picture: 双方向予測符号化画像) の3種類のピクチャの内のいずれかのピクチャとし、これらの3種類のピクチャのフレーム画像を組み合わせて圧縮符号化を行う方法が用いられている。

【0030】この図1に示す画像信号符号化装置及び図2に示す画像信号復号化装置においては、BピクチャとIピクチャとを切り換える処理を行うものとする。

【0031】先ず、記録側である図1の画像信号符号化装置においては、信号入力端子1からはフレーム毎のデジタル画像信号が入力される。ここで、SDRAMから成るフレームメモリ3、4はメモリ制御回路5によって制御されており、例えば、(N-1)番目のフレーム画像よりも2フレーム前の(N+1)番目のフレーム画像の画像信号がフレームメモリ4に書き込まれ、(N-1)番目のフレーム画像よりも1フレーム前のN番目のフレーム画像の画像信号がフレームメモリ3に書き込まれる。

【0032】この後、信号入力端子1から(N-1)番目のフレーム画像の画像信号が入力されて、上記3枚のフレーム画像の画像信号は動きベクトル検出回路6に送られる。

【0033】この動きベクトル検出回路6では、上記フレームメモリ4内の(N+1)番目のフレーム画像と上記フレームメモリ3内のN番目のフレーム画像との間の動きベクトル、及び上記フレームメモリ3内のN番目のフレーム画像と(N-1)番目のフレーム画像との間の動きベクトルが検出される。

【0034】ここで、出力する画像データがBピクチャの画像データである場合には、フレームメモリ4に書き込まれた(N+1)番目のフレーム画像の画像信号が読み出されて動き補償回路7に送られ、また、(N-1)番目のフレーム画像は動き補償回路8に送られる。

【0035】一般的に、後述するDCT処理に用いられるDCTブロックのサイズは8×8である。1画素即ち1ピクセルを8ビット (=1バイト) とすると、1DCTブロックのデータ量は64バイトとなる。8ビット幅のSDRAMを4個、あるいは16ビット幅のSDRAMを2個用いて、SDRAMのビット幅を32ビットとすると、64バイトのデータを転送するには64/4 = 16クロックを必要とする。このとき、バースト長を8に設定し、バンク0及びバンク1の両方のバンクに32バイトずつ記録すればシステムを設計しやすくなる。

【0036】また、データは輝度信号Y及び色差信号C

r、Cbから成るマクロブロックとなっており、図8に示したように、同一のロウアドレスに存在する。よって、マクロブロックのデータをSDRAMから読み出す際には、リードを行うカラムアドレスを2クロック毎に切り換えて発生させることにより、1度のバースト転送によって輝度信号Y及び色差信号Cr、Cbを同時に読み込み、不要データのバースト転送を削減する。

【0037】具体的には、図2のAに示すように、81MHzのクロック信号が出力される場合に、図2のBに示すように、34クロック目でバンク0のアクティブコマンドが出力されるときには、マクロブロックのデータのカラムアドレスを切り換えるために、2クロック毎、即ち37、39、41、43クロック目にそれぞれリードコマンドRD<sub>1</sub>、RD<sub>2</sub>、RD<sub>3</sub>、RD<sub>4</sub>が出力される。具体的には、例えば、図8に示すマクロブロックのデータを読み出す場合には、リードコマンドRD<sub>1</sub>、RD<sub>2</sub>、RD<sub>3</sub>、RD<sub>4</sub>には、カラムアドレスとして0、2、32、48の値がそれぞれ代入される。これにより、図2のCに示すように、40クロック目から47クロック目までに、カラムアドレスが切り換えられたバンク0のマクロブロックのデータが順次読み出される。

【0038】同様にして、42クロック目でバンク1のアクティブコマンドが出力されるときには、45、47、49、51クロック目にそれぞれリードコマンドRD<sub>1</sub>、RD<sub>2</sub>、RD<sub>3</sub>、RD<sub>4</sub>が出力される。これにより、バンク0のデータに継続して、カラムアドレスが切り換えられたバンク1のデータが48クロック目から55クロック目までに順次読み出される。

【0039】このようにして読み出されるデータ量は、図3に示す太線の16×16バイト分のデータを読み出す場合には、横20バイト、縦24バイト分のデータのみを読み出せばよく、斜線部で示される4×24 = 96バイト分のデータは転送する必要がなくなる。即ち、 $(20 \times 24) / (16 \times 16) = 15/8$  倍のデータの転送量で済むことになる。このときの削減率は17%である。

【0040】これにより、動き補償回路7、8にデータ転送する際のデータバスの占有期間が短くなり、その分、他のデータ処理用のデータ転送に振り分けることが可能と成る。

【0041】上記動き補償回路7、8には、上記動きベクトル検出回路6で検出された動きベクトルが送られており、動き補償回路7、8で動きベクトルを用いて動き補償が行われる。この動き補償回路7、8からの出力は、加算器9で加算平均されて予測値N<sub>e</sub>が求められる。さらに、予測値N<sub>e</sub>は減算器10に送られて、フレームメモリ3から読み出されるN番目のフレーム画像との差分が取られ、差分N<sub>d</sub>として信号切換器11の端子aに出力される。

【0042】ここで、上記信号切換器11は、信号入力

端子2から入力されるB/Iセレクト信号によって切り換えられており、Bピクチャ又はIピクチャの画像信号の出力の切り換えを行っている。

【0043】B/Iセレクト信号がBピクチャの画像信号の出力を示すときには、信号切換器11は端子aに切り換えられ、この端子aを介して得られる差分N<sub>1</sub>を基にして画像圧縮が行われる。

【0044】また、B/Iセレクト信号がIピクチャの画像信号の出力を示すときには、N番目のフレーム画像の画像信号が信号切換器11の端子bに出力される。信号切換器11は端子bに切り換えられ、この端子bを介して出力される信号を用いて画像圧縮が行われる。

【0045】尚、動き検出の方法については問わないが、動き検出の方法としては、対応するブロック間で画素同士の差分を求め、この差分をブロック内で積算し、その積算した値が一番小さいブロックを予測に使用する等方法がよく用いられる。

【0046】信号切換器11から切り換え出力された画像信号は、DCT回路12でDCT処理が施され、また、量子化回路13でDCT係数が量子化された後に、可変長符号化回路14で可変長符号化されて、画像データとして記録符号化回路15に送られる。

【0047】この記録符号化回路15では、送られた画像データは、上記動きベクトル検出回路6からの動きベクトル情報及びB/Iセレクト信号と共に、誤り訂正符号や同期識別情報が付加された後、記録のためのチャンネルコーディング等の記録符号化が行われる。

【0048】この記録符号化された信号は、記録アンプやヘッド等から成る記録ユニット16で記録信号として図示しないテープに記録される。

【0049】次に、再生側である図4の画像信号復号化装置では、再生ヘッドやアンプ等から成る再生ユニット21によって、図示しないテープから記録信号が読み出される。この読み出された信号は、記録復号化回路22において、チャンネルコーディングが元に戻され、誤り訂正符号及び動きベクトル情報B/Iセレクト信号等の分離が行われる。

【0050】この後、復号化された画像データは、可変長復号化回路23で可変長復号化されて、逆量子化回路24で逆量子化された後に、逆離散コサイン変換（以下、IDCTという）回路25でIDCT処理が施されて画像信号が出力される。

【0051】ここで、復号化されたフレーム画像の画像信号が、記録側でIピクチャとして処理された画像信号である場合には、このIピクチャのフレーム画像信号は、SDRAMから成るフレームメモリ26を介して信号切換器33の端子bに出力される。信号切換器33は記録復号化回路22で分離されたB/Iセレクト信号によって端子b側に切り換えられており、端子bを介してIピクチャのフレーム画像の画像信号が信号出力端子3

4から出力される。

【0052】また、復号化されたフレーム画像の画像信号が、記録側でBピクチャとして処理された画像信号である場合には、この画像信号は、SDRAMから成るフレームメモリ26、27に書き込まれる。具体的には、現在復号化されたフレーム画像が(N-1)番目のフレーム画像であるならば、この(N-1)番目のフレーム画像の画像信号はフレームメモリ27に書き込まれ、1フレーム前のN番目のフレーム画像の画像信号はフレームメモリ26に書き込まれる。これらのフレームメモリ26、27はメモリ制御回路28によって制御される。

【0053】このように、フレームメモリ27に書き込まれて遅延された画像信号は、上述した画像信号符号化装置におけるデータの読み出しと同様な動作によって読み出されて動き補償回路29に送られ、また、(N-1)番目のフレーム画像の画像信号は、動き補償回路30に送られる。これらの動き補償回路29、30には上記記録復号化回路22で分離された動きベクトルが入力されており、この動きベクトルを用いて動き補償を行う。この動き補償回路29、30からの出力は加算器31で加算平均され、さらに、加算器32でフレームメモリ26から読み出されたN番目のフレーム画像の画像信号との加算平均を求めた画像信号が、信号切換器33の端子aに出力される。この信号切換器33は、記録復号化回路22からのB/Iセレクト信号によって端子a側に切り換えられており、この端子aを介して信号出力端子34から出力される。

【0054】尚、上述した実施例においては、バースト長を8に設定しているが、このバースト長は8に限定されるものではない。

【0055】また、カラムアドレスの切換クロック数は2に限定されず、例えば4であってもよい。

【0056】

【発明の効果】以上の説明からも明らかなように、本発明に係る画像信号符号化装置は、記憶手段のバースト長を固定し、同一ロウアドレス上に複数種類の画像信号をカラムアドレスを異ならせて記憶させ、アクティブコマンドで上記ロウアドレスを指定した状態で、リードコマンドを複数出力して複数のカラムアドレスを順次切り換え指定するメモリ制御手段を有することにより、動き補償用のデータを読み出す際に、より少ないバースト転送量で行うことが可能となり、データバスの使用効率を向上させることができる。

【0057】また、本発明に係る画像信号復号化装置は、記憶手段のバースト長を固定し、同一ロウアドレス上に複数種類の画像信号をカラムアドレスを異ならせて記憶させ、アクティブコマンドで上記ロウアドレスを指定した状態で、リードコマンドを複数出力して、複数のカラムアドレスを順次切り換え指定するメモリ制御手段

を有することにより、動き補償用のデータを読み出す際に、より少ないバースト転送量で行うことが可能となり、データバスの使用効率を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る画像信号符号化装置の概略的な構成図である。

【図2】データの読み出しタイミングを示す図である。

【図3】マクロブロックのデータの読み出し量を示す図である。

【図4】本発明に係る画像信号復号化装置の概略的な構成図である。

【図5】SDRAMのランダムロウリード時のタイミングを示す図である。

【図6】CASレイテンシを説明するための図である。

【図7】マクロブロックを示す図である。

【図8】同一のロウアドレス上のデータを示す図である。

【図9】従来のマクロブロックのデータ読み出し量を示す図である。

【符号の説明】

3、4 フレームメモリ

\* 5 メモリ制御回路

6 動きベクトル検出回路

7、8 動き補償回路

9 加算器

10 減算器

11 信号切換器

12 DCT回路

13 量子化回路

14 可変長符号化回路

15 記録符号化回路

16 記録ユニット

21 再生ユニット

22 記録復号化回路

23 可変長復号化回路

24 逆量子化回路

25 IDCT回路

26、27 フレームメモリ

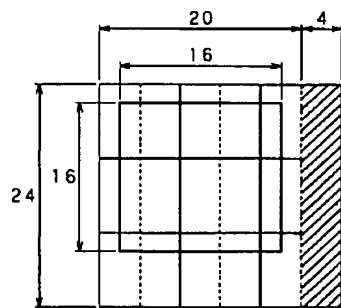
28 メモリ制御回路

29、30 動き補償回路

20 31、32 加算器

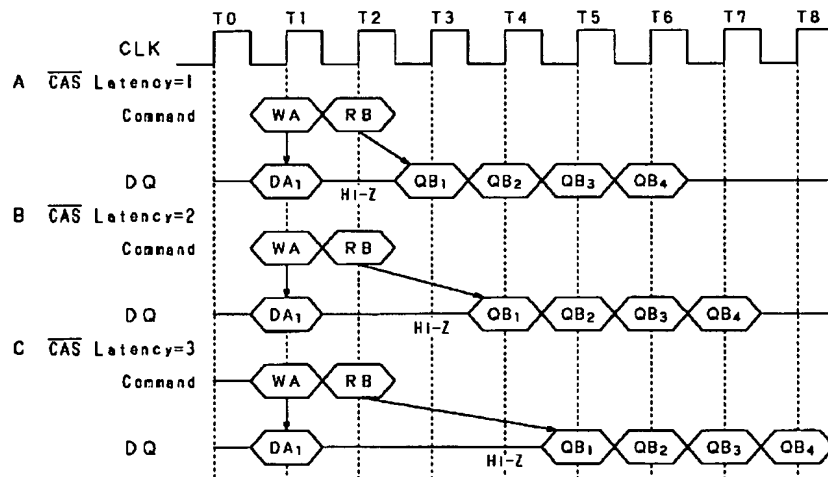
\* 33 信号切換器

【図3】



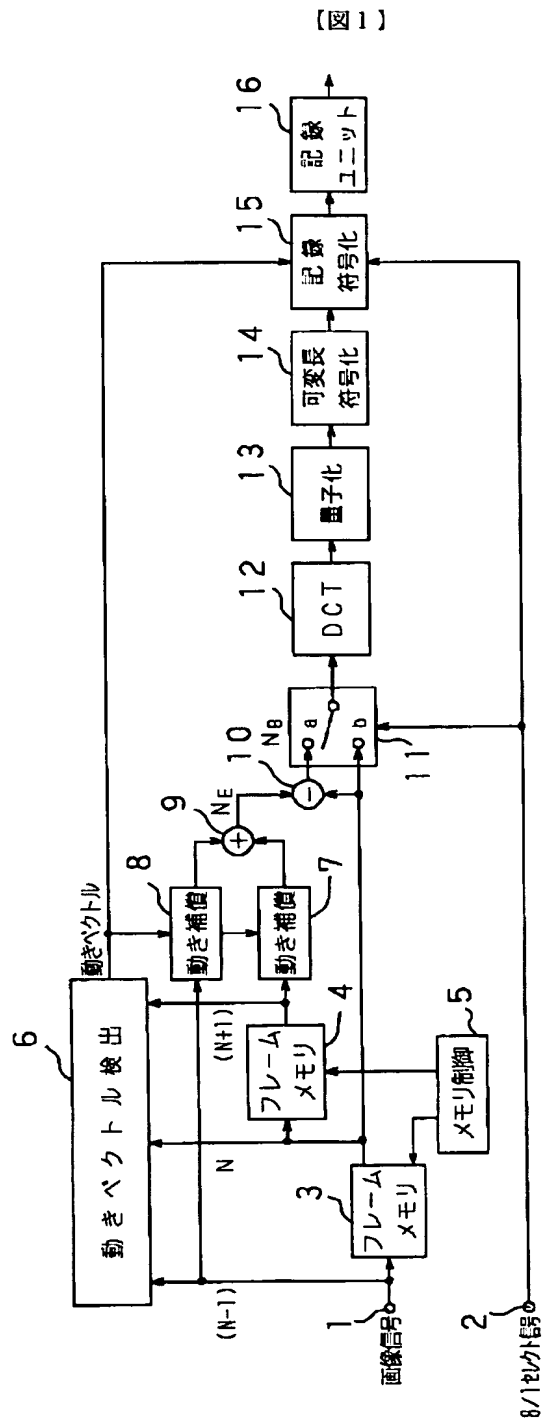
マクロブロックのデータの読み出し量を示す図

【図6】

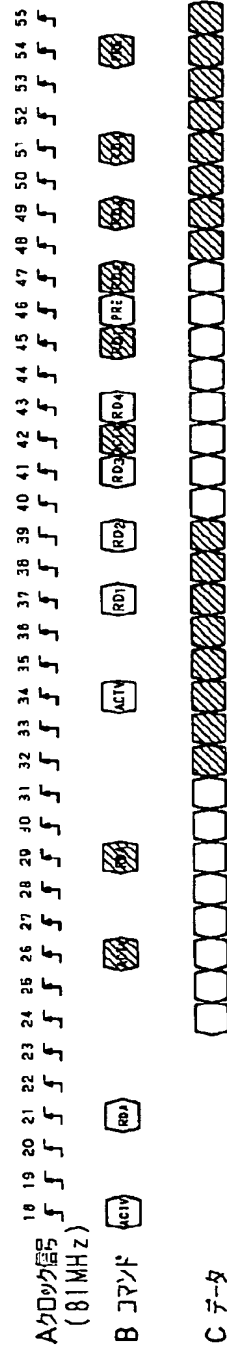


【図8】

カラムアドレス	0	8	16	24	32	40	48	56	64ビット
バンク0 4バイト	Y1	Y2	Y3	Y4	Cr1	Cr2	Cb1	Cb2	
バンク1 4バイト	Y1	Y2	Y3	Y4	Cr1	Cr2	Cb1	Cb2	

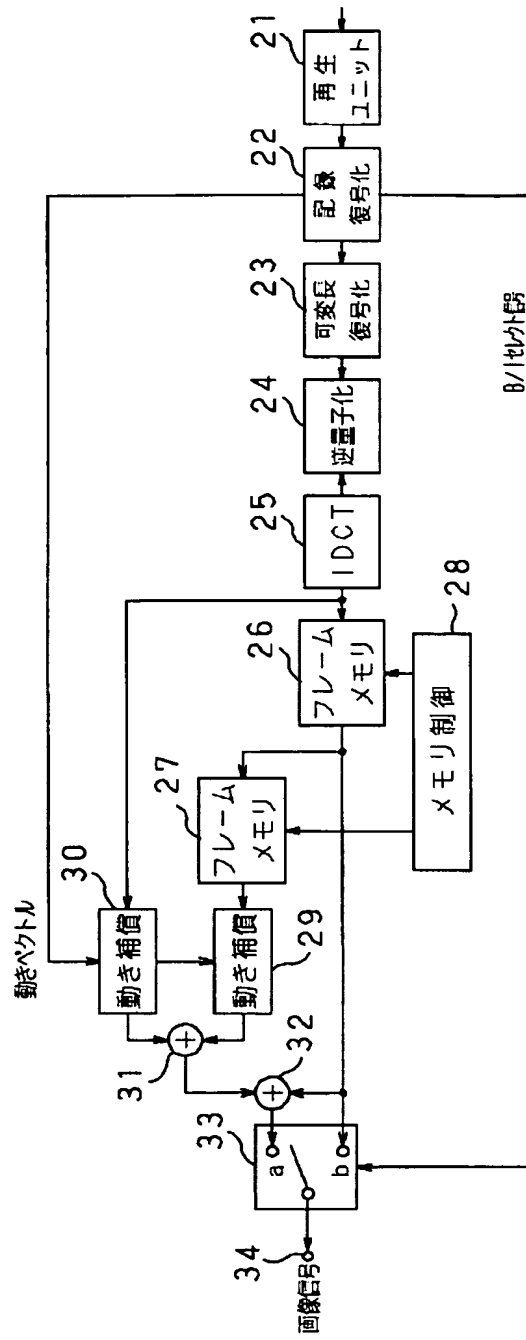


画像信号符号化装置の構成図



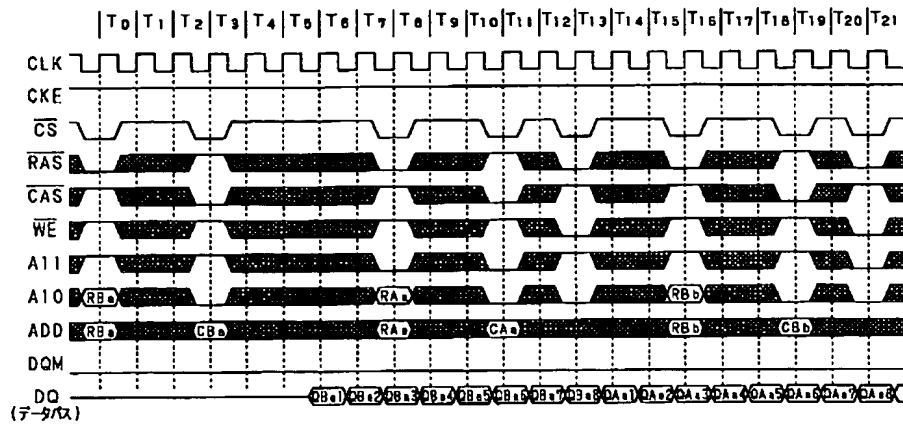
データの読み出しタイミングを示す図

【図 4】

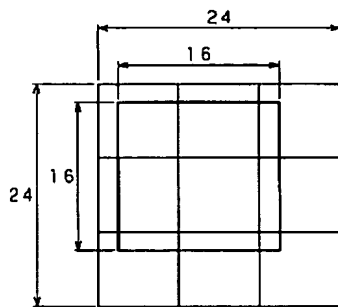


画像信号復号化装置の構成図

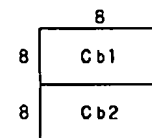
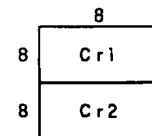
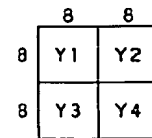
【図 5】



【図 9】



【図 7】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成 14 年 7 月 12 日 (2002. 7. 12)

【公開番号】特開平 8-280025  
 【公開日】平成 8 年 10 月 22 日 (1996. 10. 22)  
 【年通号数】公開特許公報 8-2801  
 【出願番号】特願平 7-82999  
 【国際特許分類第 7 版】

H04N 7/32  
 5/907  
 5/92  
 5/937  
 11/04

【F I】

H04N 7/137 Z  
 5/907 B  
 11/04 B  
 5/92 H  
 5/93 C

【手続補正書】  
 【提出日】平成 14 年 3 月 29 日 (2002. 3. 29)

【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】0027  
 【補正方法】変更  
 【補正内容】  
 【0027】

【実施例】以下、本発明の好ましい実施例について、図面を参照しながら説明する。図 1 には、本発明に係る画像信号符号化装置の概略的な構成を示し、図 4 には、本発明に係る画像信号複合化装置の概略的な構成を示す。

【手続補正 2】  
 【補正対象書類名】明細書  
 【補正対象項目名】0028  
 【補正方法】変更

【補正内容】

【0028】図 1 の実施例で示す画像信号符号化装置では、時間方向の相関を利用した画像圧縮符号化処理を行い、この圧縮された画像データを記録媒体として例えばテープに記録する。また、図 4 の実施例で示す画像信号複合化装置では、この記録された画像データを読み出して画像伸長複合化処理を行い、画像信号として出力する。

【手続補正 3】  
 【補正対象書類名】明細書  
 【補正対象項目名】0030  
 【補正方法】変更  
 【補正内容】

【0030】この図 1 に示す画像信号符号化装置及び図 4 に示す画像信号複合化装置においては、B ピクチャと I ピクチャとを切り換える処理を行うものとする。